

Docket No.: W&B-INF-1945

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: October 24, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/675,493
Applicant : Andreas Felber et al.
Filed : September 30, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1945
Customer No.: 24131

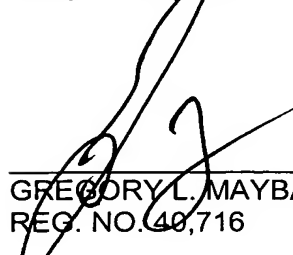
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 534.1 filed September 30, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 24, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 45 534.1

Anmeldetag: 30. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Teststruktur zum Bestimmen eines Bereiches einer Deep-Trench-Ausdiffusion in einem Speicherzellenfeld

IPC: H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, which appears to be 'Jenssen', is written over the printed text 'Im Auftrag'.

Beschreibung

Teststruktur zum Bestimmen eines Bereiches einer Deep-Trench-Ausdiffusion in einem Speicherzellenfeld

5

Die Erfindung betrifft eine Teststruktur zum Bestimmen eines Dotierbereiches einer äußeren Kondensatorelektrode eines Grabenkondensator in einem Speicherzellenfeld, wobei die Grabenkondensatoren des Speicherzellenfeldes matrixförmig angeordnet sind.

10

Halbleiterspeicher, insbesondere dynamische Halbleiterspeicher mit wahlfreiem Zugriff (DRAM) setzen sich aus einer Matrix von Speicherzellen zusammen, die in Form von Zeilen über Wortleitungen und Spalten über Bitleitungen verschaltet sind. Das Auslesen der Daten aus den Speicherzellen oder das Schreiben der Daten in die Speicherzellen wird durch Aktivierung geeigneter Wort- und Bitleitungen bewerkstelligt. Eine dynamische Speicherzelle enthält im Allgemeinen einen Auswahltransistor und einen Speicherkondensator, wobei der Auswahltransistor üblicherweise als horizontal ausgelegter Feldeffekttransistor ausgestaltet ist und zwei Diffusionsbereiche umfasst, welche durch einen Kanal getrennt sind, oberhalb dessen eine Steuerelektrode, ein sogenanntes Gate, angeordnet ist. Das Gate ist wiederum mit einer Wortleitung verbunden. Einer der Diffusionsbereiche des Auswahltransistors ist an eine Bitleitung und der andere Diffusionsbereich an den Speicherkondensator angeschlossen. Durch Anlegen einer geeigneten Spannung über die Wortleitung an das Gate schaltet der Auswahltransistor durch und ermöglicht einen Stromfluss zwischen den Diffusionsgebieten, um den Speicherkondensator über die angeschlossene Bitleitung zu laden.

25

30

35

Zielsetzung bei der DRAM-Speicher-Entwicklung ist es, eine möglichst hohe Ausbeute von Speicherzellen mit guter Funktionalität bei zusätzlich minimaler Chipgröße zu erreichen. Das fortlaufende Bestreben, die DRAM-Speicherzellen zu verklei-

nern, hat zum Entwurf von Speicherzellen geführt, bei denen insbesondere der Speicherkondensator die dritte Dimension nutzt. Ein dreidimensionales Speicherkondensatorkonzept sind Grabenkondensatoren, bestehend aus einem in das Halbleiter-
5 substrat geätzten Graben, der mit einem hochleitfähigen Material gefüllt ist, welcher als innere Kondensatorelektrode dient. Die elektrische Verbindung zwischen dem Diffusionsgebiet des Auswahltransistors und der inneren Kondensatorelektrode des Grabenkondensators in einer Speicherzelle erfolgt im
10 oberen Grabenbereich durch einen üblicherweise als Diffusionsgebiet ausgebildeten Elektrodenanschluss, dem sogenannten Buried Strap. Die äußere Kondensatorelektrode ist dagegen im Allgemeinen im Substrat als Diffusionsgebiet vergraben ausgebildet, wobei diese äußere Kondensatorelektrode über eine
15 weitere vergraben ausgebildete Schicht im Halbleitersubstrat, eine sogenannte Buried Plate, ankontaktiert ist.

Bei DRAM-Speichern ist insbesondere die Ansteuerlogik der einzelnen Speicherzellen sehr zeitkritisch, d.h. die zeitliche Folge der einzelnen an die Speicherzellen angelegten Signale zum Ein- und Auslesen muss sehr genau abgestimmt sein.
20 Aus diesem Grund werden bei DRAM-Speicherchips in der Regel Computersimulationen durchgeführt, bei denen als Simulationsparameter das Schaltverhalten der einzelnen Speicherzellen, das Speicherverhalten der Grabenkondensatoren sowie die parasitären Kapazitäten und Widerständen berücksichtigt werden. Die Größe des Dotierbereiches der äußeren Kondensatorelektrode hat dabei wesentlichen Einfluss auf das elektrische Verhalten der Speicherzelle und damit auf die zu ladende Speicherkapazität und die Ladungsgeschwindigkeit. Daher ist die genaue Kenntnis der Dotierausdehnung der äußeren Kondensatorelektrode für die Bestimmung der Leistungsmerkmale der Speicherzellen und damit für eine mögliche Computersimulation von entscheidender Bedeutung. Die Größe der Dotierausdehnung der
30 äußeren Kondensatorelektrode konnte bisher aber nur anhand aufwändiger und teurer Dotierprofilanalysen bestimmt werden.
35

Bei der DRAM-Speicherzellenherstellung ist es weiterhin zentrales Ziel, die Chipgrößen möglichst klein zu halten, um so viele Speicherchips wie möglich auf einem Wafer unterbringen zu können. Ein entscheidender Parameter, der den Mindestab-

5 stand zwischen benachbarten Speicherchips festlegt, ist die laterale Ausdehnung der äußeren Kondensatorelektrode der Grabenkondensatoren am Speicherzellenrand, da sich diese äußeren Kondensatorelektroden nicht mit Dotierbereichen im benachbarten Speicherchip überlappen dürfen.

10 Aufgabe der Erfindung ist es, Teststrukturen für ein Speicherzellenfeld mit matrixförmig angeordneten Grabenkondensator bereitzustellen, mit dem sich auf einfache Weise eine Dotierausdehnung der äußeren Kondensatorelektrode bestimmen

15 lässt.

Diese Aufgabe wird mit einer Teststruktur gemäß Anspruch 1 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

20 Erfindungsgemäß weist die Teststruktur zum Bestimmen eines Dotierbereiches einer äußeren Kondensatorelektrode eines Grabenkondensators zwei parallele Reihen von Grabenkondensatoren auf, wobei die äußeren Kondensatorelektroden jeder Reihe von

25 Grabenkondensatoren elektrisch miteinander verbunden sind und wobei die Grundfläche wenigstens eines Grabenkondensators jeder Reihe auf der der anderen Reihe zugewandten Seite so verlängert ist, dass sich die beiden Grabenkondensatoren über-

lappen.

30 Durch diese erfindungsgemäße Ausgestaltung lässt sich auf einfache Weise durch eine Funktionserweiterung der bereits üblicherweise im Front-End-Bereich vorgesehenen Teststrukturen exakt und zerstörungsfrei die Dotierausdehnung der äußeren

35 Kondensatorelektrode durch eine einfache Messung eines Stromflusses zwischen zwei parallelen Reihen von Grabenkondensatoren feststellen. Wenn sich nämlich die äußeren Kondensatoren

satorelektroden der beiden mit verlängerten Grundflächen ausgebildeten Grabenkondensatoren jeder Reihe überschneiden, tritt ein Stromfluss zwischen den beiden Reihen auf, der sich im Rahmen einer Testmessung leicht feststellen lässt. Aus der Position der beiden mit verlängerten Grundflächen versehenen Grabenkondensatoren lässt sich dann eine exakte Aussage über die Ausdehnung des Dotierbereiches der äußeren Kondensatorelektroden dieser Grabenkondensatoren machen. Weiterhin kann dann festgelegt werden, wie weit benachbarte Speicherchips mindestens beabstandet sein müssen, um einen Kurzschluss zwischen den äußeren Kondensatorelektroden dieser benachbarten Speicherchips zu verhindern.

Gemäß einer bevorzugten Ausführungsform ist die Grundfläche wenigstens eines weiteren Grabenkondensators einer der beiden Reihen auf der der anderen Reihen zugewandten Seite so verlängert, dass die drei Grabenkondensatoren mit den verlängerten Grundflächen kammartig verschachtelt sind, wobei der mittlere Grabenkondensator von den beiden äußeren Grabenkondensatoren gleich beabstandet ist. Da die Teststruktur, wie auch die reguläre Speicherzellenstruktur in der Regel mithilfe der Planartechnik, die aus einer Abfolge von Lithografieprozessen besteht, hergestellt wird, wird durch die Einbettung des mittleren Grabenkondensators in eine gleich beabstandete kammartige Struktur gewährleistet, dass dieser mittlere Grabenkondensator bei den einzelnen Lithografieprozessen seiner Herstellung die gleiche Umgebung auf beiden Seiten sieht und damit der Herstellung regulärer Speicherzellenstrukturen entspricht. Dadurch wird die Zuverlässigkeit und Aussagekraft der Testmessung wesentlich verbessert.

Gemäß einer weiteren bevorzugten Ausführungsform ist ein Teststrukturmuster mit einer Vielzahl von Teststrukturen vorgesehen, wobei die Teststrukturen so ausgebildet sind, dass die kammartig ineinander verschachtelten Grabenkondensatoren jeweils unterschiedliche Abstände voneinander ausbilden. Hierdurch besteht die Möglichkeit, hochpräzise und genau ska-

liert die laterale Ausdehnung des Dotierbereiches der äußeren Kondensatorelektrode der Grabenkondensatoren zu ermitteln.

Die Erfindung wird anhand der beigefügten Zeichnungen näher
5 erläutert. Es zeigen:

Figur 1A und 1B Querschnitte durch eine Siliziumscheibe nach verschiedenen Prozessschritten zur Ausbildung der Grabenkondensatoren, und

10 Figur 2 eine erfindungsgemäße Teststruktur in der Aufsicht.

Die Erfindung wird anhand einer Grabenkondensatorstruktur, wie sie im Rahmen eines DRAM-Speicherchips verwendet wird, erläutert. Die Ausbildung der einzelnen Strukturen des Grabenkondensators erfolgt vorzugsweise mithilfe der Silizium-
15 Planartechnik, die aus einer Abfolge jeweils ganzflächig an einer Halbleiteroberfläche einer Siliziumscheibe wirkenden Einzelprozessen besteht, wobei über geeignete Maskierungsschritte gezielt lokale Veränderungen des Siliziumsubstrats
20 durchgeführt werden. Im Rahmen der Planartechnik wird dabei gleichzeitig eine Vielzahl von Strukturen ausgebildet.

Im folgenden wird kurz ein mögliches Verfahren zum Erzeugen von Grabenkondensatoren im Rahmen der DRAM-Speicherzellen-
25 ausbildung anhand von Figur 1 erläutert.

Auf einer von Verunreinigungen befreiten Siliziumscheibe 1, die in der Regel bereits verschiedenen Strukturierungsprozesse (Struktur nicht gezeigt) durchlaufen hat, wird eine Maskierungsschicht 2, zum Beispiel eine SiO_2 | Si_3N_4 | SiO_2 -Schichtenfolge abgeschieden. Anschließend wird vorzugsweise mithilfe der bekannten Lithografiertechnik die Grabenkondensatorstruktur festgelegt. Hierzu wird eine lichtempfindliche Schicht auf die Maskierungsschicht 2 aufgebracht und mithilfe
30 einer Maske, die die Struktur einer Entwurfsebene der auszubildenden Grabenkondensatoren aufweist, belichtet. Nach dem Entwickeln, d.h. dem Entfernen des belichteten Fotolacks,

wird mithilfe einer anisotropen Ätzung die Maskierungsschicht 2 geätzt, um die Ätzmaske für die anschließend durchgeführte Grabenätzung zu erzeugen. Nach dem Beseitigen der verbleibenden Fotolackmaske wird dann die Grabenätzung durchgeführt.

5 Hierzu wird das Siliziumsubstrat mithilfe der strukturierten Ätzmaske anisotrop bis zu einer Tiefe von ca. $5\mu\text{m}$ bei einer Strukturbreite von ca. $0,5\mu\text{m}$ geätzt, so dass Grabenkondensatoren mit einem Aspektverhältnis, d.h. mit einem Breiten-Tiefenverhältnis von 1:10 entstehen. Figur 1A zeigt einen
10 Querschnitt durch die Siliziumscheibe nach der Grabenätzung. Bevorzugt ist dabei, mindestens zwei Gräben eng benachbart auszubilden, in die jeweils seitlich anschließend dann die vorzugsweise planar ausgebildeten Auswahltransistoren der Speicherzellen angeordnet werden.

15

Figur 1B zeigt einen Querschnitt durch die Siliziumscheibe 1 in einem späteren Prozessstadium mit vollständig strukturierten Grabenkondensatoren. Die Grabenkondensatoren 3 sind dann mit einer hochdotierten Schicht, vorzugsweise Polysilizium,
20 aufgefüllt, die als innere Kondensatorelektrode 31 dient. Die äußere Kondensatorelektrode 32 ist vorzugsweise durch ein hochdotiertes Diffusionsgebiet im unteren Grabenbereich um die innere Kondensatorelektrode 31 herum ausgebildet. Die Erzeugung dieser äußeren Kondensatorelektrode 32 kann bei-
25 spielsweise durch thermische Ausdiffusion einer hochdotierten Schicht aus dem Graben 3 heraus erfolgen. Die äußere Kondensatorelektrode 32 wird durch eine nachträglich ausgeführte Dielektrikumschicht 33 von der inneren Kondensatorelektrode 31 im Graben getrennt. Die äußere Kondensatorelektrode 32 ist
30 weiterhin durch eine Kondensatorplatte 34, eine sogenannte Buried Plate, angeschlossen, die vorzugsweise allen äußeren Kondensatorelektroden der DRAM-Speicherzellenanordnung gemeinsam ist. Diese Kondensatorplatte 34 ist üblicherweise im Randbereich des Speicherzellenfelds durch eine Kontaktöffnung
35 ankontaktiert. Im oberen Grabenbereich ist weiterhin ein Elektrodenanschluss 35, ein sogenannter Buried Strap, vorgesehen, mit dem die innere Kondensatorelektrode 31 an den spä-

ter ausgebildeten planaren Auswahltransistor der Speicherzelle angeschlossen werden kann. Der Bereich der Grabenkondensatoren ist darüber hinaus mit einer Isolationsschicht 36, vorzugsweise SiO_2 , abgedeckt.

5

Die Ausdehnung des Dotierbereichs der äußeren Kondensatorelektrode 32 des Grabenkondensators beeinflusst entscheidend das elektrische Verhalten der Speicherzelle. Seine Kenntnis ist insbesondere wichtig, wenn eine exakte Simulation des Schaltverhaltens der Speicherzellen bzw. des Speicherverhaltens des Grabenkondensators simuliert werden soll. Darüber hinaus ist die Kenntnis der lateralen Ausdehnung der Dotierung der äußeren Kondensatorelektrode des Grabenkondensators in den Speicherzellen wichtig, um die Mindestabstände zwischen benachbarten Speicherchips auf einem Wafer festlegen zu können. Eine Bestimmung der Lage und Größe der Dotierung der äußeren Kondensatorelektrode bei Grabenkondensatoren war bisher nur nach Fertigstellung des DRAMs im Back-End in aufwändigen und teuren Dotierprofilanalysen möglich.

20

Figur 2 zeigt eine erfindungsgemäße Teststruktur zum Bestimmen des Dotierbereichs einer äußeren Kondensatorelektrode eines Grabenkondensators im Front-End der DRAM-Herstellung. Die Teststruktur ist vorzugsweise im Kerfbereich, d.h. im Zwischenbereich auf einem Wafer zwischen zwei DRAM-Speicherchips ausgebildet. Die erfindungsgemäße Teststruktur weist, wie die Draufsicht in Figur 2 zeigt, wenigstens zwei Reihen von Grabenkondensatoren 301, 302 auf. Diese beiden Reihen von Grabenkondensatoren entsprechen den regulären Grabenkondensatoren, deren Herstellung anhand von Figur 1A und 1B erläutert wurde. Die Grabenkondensatoren haben dabei vorzugsweise einen rechteckigen Querschnitt. Es sind jedoch auch beliebige andere Querschnittformen, wie sie bei regulären DRAM-Speicherzellen für Grabenkondensatoren benutzt werden, möglich.

35

Die äußeren Kondensatorelektroden jeder Reihe von Grabenkondensatoren sind jeweils über eine Kondensatorplatte 401, 402

miteinander verbunden. Diese Kondensatorplatten 401, 402 sind weiterhin über Leiterbahnen 501, 502 an Kontaktflächen (nicht gezeigt) angeschlossen, welche mit den Nadeln einer Testnadelkarte ankontaktiert werden können.

5

Die Grabenkondensatoren den beiden Reihen von Grabenkondensatoren 301, 302 sind jeweils gleich beabstandet, wobei die Grabenkondensatoren der einen Reihe vorzugsweise versetzt gegenüber der anderen Reihe angeordnet sind. Weiterhin sind die Grundflächen von drei Grabenkondensatoren 311, 312, 322 in den beiden Grabenkondensatorenreihen 301, 302 verlängert, so dass sich diese drei Grabenkondensatoren, wie die Aufsicht in Figur 2 zeigt, überlappen. In der Grabenkondensatorreihe 301 ist ein mittlerer Grabenkondensator 311 mit einer verlängerten Grundfläche ausgebildet. In der Grabenkondensatorreihe 302 weisen zwei äußere Grabenkondensatoren 312, 322 verlängerte Grundflächen auf. Die beiden äußeren Grabenkondensatoren 312, 322 der Grabenkondensatorreihe 302 sind dabei so gewählt, dass sie gleich beabstandet von dem mittleren Grabenkondensator 311 der Grabenkondensatorreihe 301 sind. Es entsteht so, wie Figur 2 zeigt, ein kammartig verschachtelter Aufbau der drei Grabenkondensatoren 311, 312, 322 mit verlängerter Grundfläche.

Beim Test werden die beiden Leiterbahnen 501, 502 zu den äußeren Kondensatorelektroden der beiden Grabenkondensatorreihen 301, 302 über Testnadeln ankontaktiert und durch Aufprägen eines Stroms wird ermittelt, ob zwischen den beiden Kondensatorreihen ein Stromfluss stattfindet. Ein solcher Stromfluss zeigt dann an, dass ein Kurzschluss zwischen den äußeren Kondensatorelektroden der kammartig verschachtelten, verlängerten Grabenkondensatoren 311, 312, 322 stattfindet, dass also die Dotierbereiche dieser äußeren Kondensatorelektroden sich überlappen. Aus der Kenntnis der Lage und Größe der Grundflächen der sich überlappenden Grabenkondensatoren 311, 312, 322 lässt sich so auf einfache Weise zerstörungsfrei die

Ausdehnung der Dotierbereiche der äußeren Kondensatorelektroden der Grabenkondensatoren ermitteln.

Bevorzugt ist es weiterhin, eine Serie von Teststrukturen, wie sie in Figur 2 gezeigt sind, vorzusehen, bei denen der Abstand zwischen den verlängerten Grabenkondensatoren der beiden Reihen von Grabenkondensatoren variiert ist. Hierdurch ist es möglich, durch eine feine Skalierung dieses Abstands eine hochexakte Bestimmung der lateralen Ausdehnung des Dotierbereichs der äußeren Kondensatorelektrode vorzunehmen.

Patentansprüche

1. Teststruktur zum Bestimmen eines Dotierbereiches einer
äußeren Kondensatorelektrode eines Grabenkondensators in
5 einem Speicherzellenfeld, wobei die Grabenkondensatoren
des Speicherzellenfeldes matrixförmig angeordnet sind,
dadurch gekennzeichnet, dass
zwei parallele Reihen von Grabenkondensatoren (301, 302)
vorgesehen sind, wobei die äußeren Kondensatorelektroden
10 jeder Reihe von Grabenkondensatoren elektrisch miteinander
verbunden sind und wobei die Grundfläche wenigstens
eines Grabenkondensators (311, 312, 322) jeder Reihe auf
der der anderen Reihe zugewandten Seite so verlängert
ist, dass sich die beiden Grabenkondensatoren überlap-
15 pen.
2. Teststruktur nach Anspruch 1, dadurch gekennzeichnet,
dass die Grundfläche wenigstens eines weiteren Graben-
kondensators einer der beiden Reihe auf der der anderen
20 Reihe zugewandten Seite so verlängert ist, dass die drei
Grabenkondensatoren (311, 312, 322) mit den verlängerten
Grundflächen kammartig verschachtelt sind, wobei der
mittlere Grabenkondensator (311) von den beiden äußeren
Grabenkondensatoren (312, 322) gleich beabstandet ist.
- 25 3. Teststrukturmuster mit einer Vielzahl von Teststrukturen
nach Anspruch 2, dadurch gekennzeichnet, dass Teststruk-
turen mit einem unterschiedlichen Abstand zwischen den
beiden äußeren Grabenkondensatoren und dem mittleren
30 Grabenkondensator vorgesehen sind.

Zusammenfassung

Teststruktur zum Bestimmen eines Bereiches einer Deep-Trench-Ausdiffusion in einem Speicherzellenfeld

5

Eine Teststruktur zum Bestimmen eines Dotierbereiches einer äußeren Kondensatorelektrode eines Grabenkondensators in einem Speicherzellenfeld, wobei die Grabenkondensatoren des Speicherzellenfeldes matrixförmig angeordnet sind, weist zwei parallele Reihen von Grabenkondensatoren auf, wobei die äußeren Kondensatorelektrode jeder Reihe von Grabenkondensatoren elektrisch miteinander verbunden sind und wobei die Grundfläche wenigstens eines Grabenkondensators jeder Reihe auf der der anderen Reihe zugewandten Seite so verlängert ist, dass sich die beiden Grabenkondensatoren überlappen.

10

15

Fig. 2

Figur für Zusammenfassung

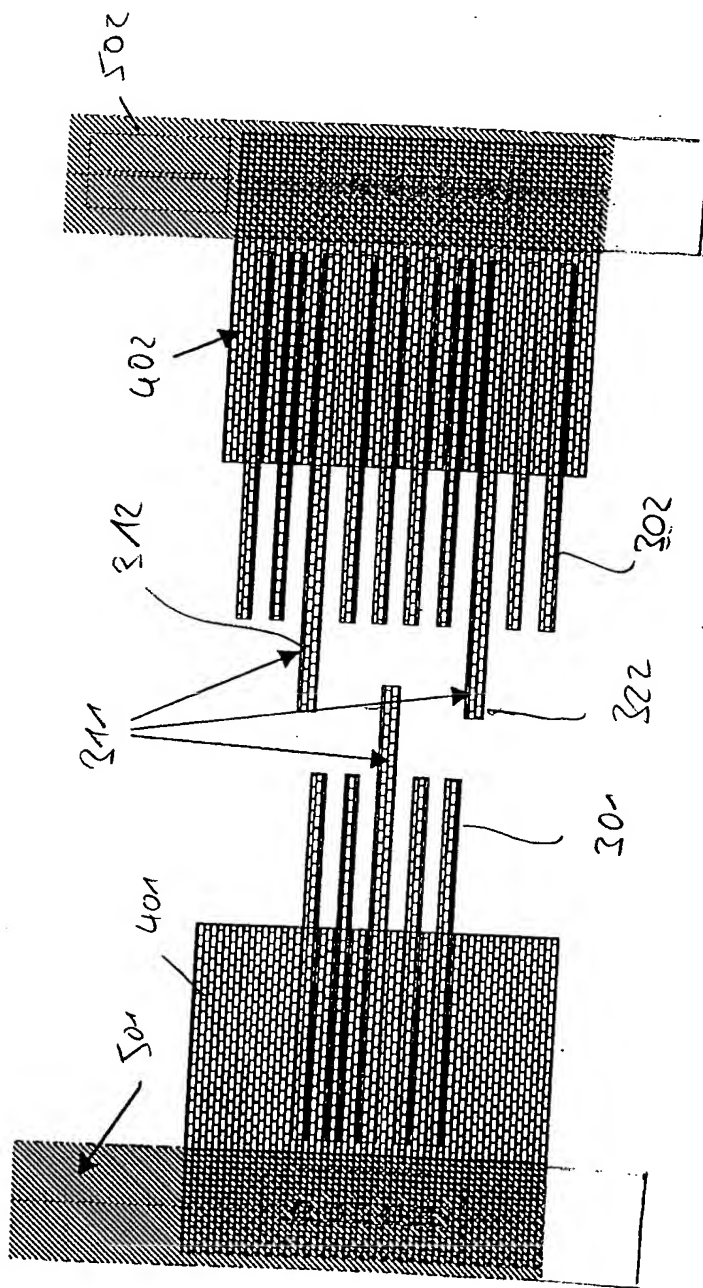


Fig. 2

Fig. 1A

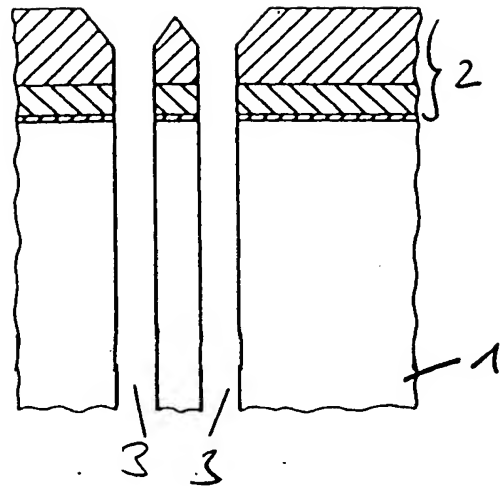
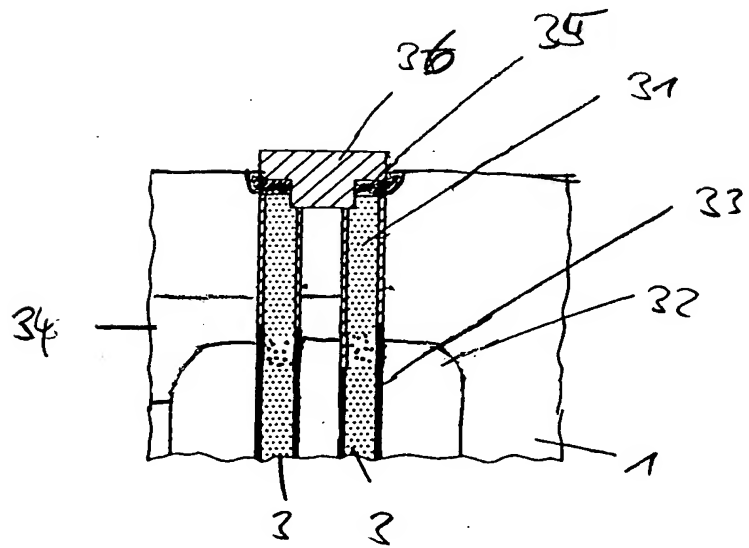


Fig. 1B



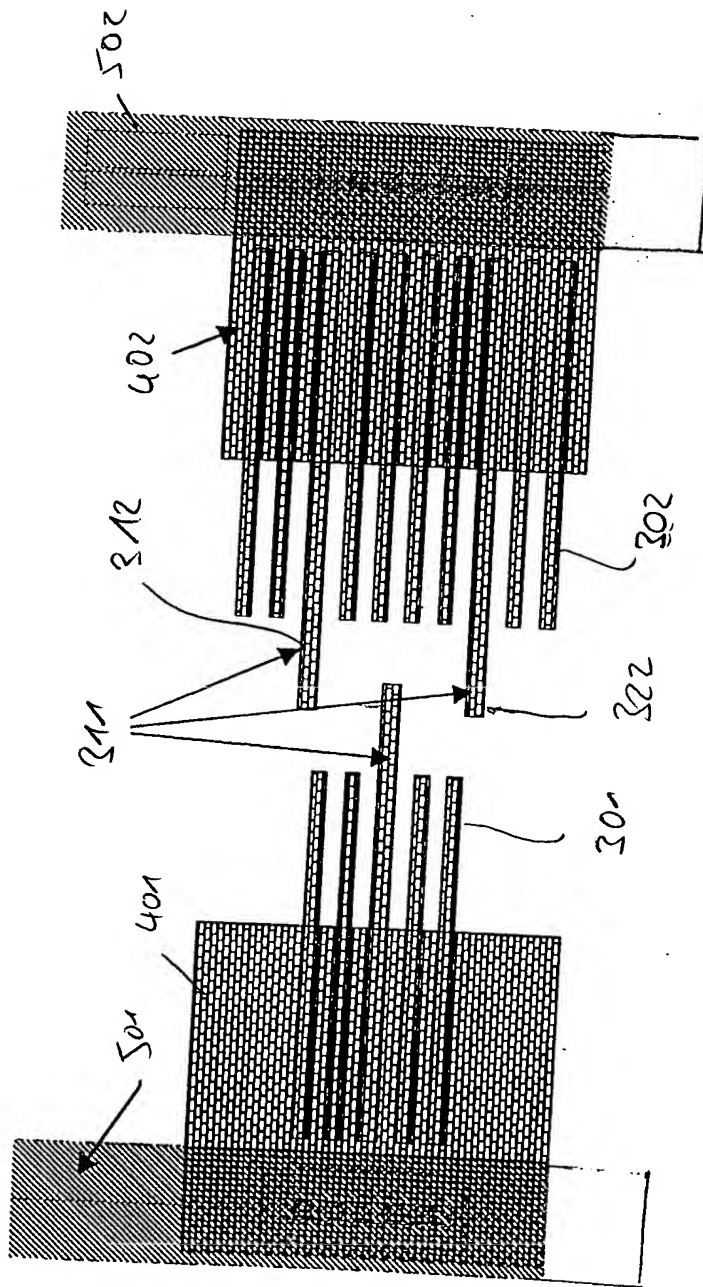


Fig. 2